



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

#5
busty
Eager

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 9月29日

出 願 番 号

Application Number:

平成11年特許願第275730号

出 願 人

Applicant (s):

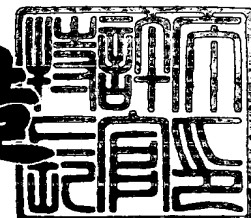
株式会社日立製作所

E. Hase et al
09/637,574
filed 8-14-00
703-684-1120
NIT-218

2000年 8月18日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3065043

【書類名】 特許願

【整理番号】 H99010481A

【提出日】 平成11年 9月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地
株式会社日立製作所中央研究所内

 【氏名】 長谷 英一

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号
株式会社日立製作所半導体グループ内

 【氏名】 今井 俊

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高周波回路モジュールおよび通信装置

【特許請求の範囲】

【請求項 1】

2 層以上の誘電体基板と、該誘電体基板上に形成された、半導体素子、該半導体素子の入力側整合回路および出力側整合回路、および接地導体を有する高周波回路モジュールにおいて、上記出力側整合回路の伝送線路と上記接地導体間の誘電体基板の厚さは 2 層以上であることを特徴とする高周波回路モジュール。

【請求項 2】

上記入力側整合回路の伝送線路と上記接地導体間の誘電体基板の厚さは 2 層以上であることを特徴とする請求項 1 に記載の高周波回路モジュール。

【請求項 3】

2 層以上の誘電体基板と、該誘電体基板上に形成された、半導体素子、該半導体素子の入力側整合回路および出力側整合回路、および接地導体を有する高周波回路モジュールにおいて、上記出力側整合回路の伝送線路と上記接地導体との間に存在する誘電体基板に設けられた接地導体の形状は、上記伝送線路に対向する部分を含むようにくり貫かれた形状であることを特徴とする高周波回路モジュール。

【請求項 4】

上記入力側整合回路の伝送線路と上記接地導体との間に存在する誘電体基板に設けられた接地導体の形状は、上記伝送線路に対向する部分を含むようにくり貫かれた形状であることを特徴とする請求項 3 に記載の高周波回路モジュール。

【請求項 5】

2 層以上の誘電体基板と、該誘電体基板上に形成された、半導体素子、該半導体素子の入力側整合回路および出力側整合回路、および接地導体を有する高周波回路モジュールにおいて、上記入力側整合回路の伝送線路と上記接地導体間の誘電体基板の厚さは 2 層以上であることを特徴とする高周波回路モジュール。

【請求項 6】

上記出力側整合回路の伝送線路と上記接地導体間の誘電体基板の厚さは 2 層以

上であることを特徴とする請求項 5 に記載の高周波回路モジュール。

【請求項 7】

2 層以上の誘電体基板と、該誘電体基板上に形成された、半導体素子、該半導体素子の入力側整合回路および出力側整合回路、および接地導体を有する高周波回路モジュールにおいて、上記入力側整合回路の伝送線路と上記接地導体との間に存在する誘電体基板に設けられた接地導体の形状は、上記伝送線路に対向する部分を含むようにくり貫かれた形状であることを特徴とする高周波回路モジュール。

【請求項 8】

上記出力側整合回路の伝送線路と上記接地導体との間に存在する誘電体基板に設けられた接地導体の形状は、上記伝送線路に対向する部分を含むようにくり貫かれた形状であることを特徴とする請求項 7 に記載の高周波回路モジュール。

【請求項 9】

請求項 1 乃至 4 のいずれか一項に記載の高周波回路モジュールを送信側の電力増幅器として有することを特徴とする通信装置。

【請求項 1 0】

請求項 5 乃至 8 のいずれか一項に記載の高周波回路モジュールを受信側の低雑音増幅器として有することを特徴とする通信装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は高周波回路モジュールおよびこれを用いた移動無線端末や携帯電話等の通信装置に関する。

【0 0 0 2】

【従来の技術】

移動無線端末や携帯電話等に用いられる高周波回路モジュールでは搭載性や通話時間の観点から装置の小型化、高電力効率化が重要な課題と成っている。

【0 0 0 3】

従来の移動無線端末や携帯電話等の通信装置に用いられる高周波回路モジュール

ルとして、単層または多層の誘電体基板を用いたものが知られている。

【0004】

単層の誘電体基板を用いた高周波回路モジュールの例は、1996年電子情報通信学会総合大会C-86「単層アルミナ薄膜基板を用いた800MHz帯アナログ、デジタル共用パワーアンプモジュール」に示されている（以下、第一の従来技術という）。この第一の従来技術では、分布定数素子を構成する伝送線路、抵抗、容量、インダクタ等の集中定数素子、および半導体素子を誘電体基板の同一面上に形成し、入出力整合回路および電力増幅器を構成している。高周波信号は誘電体基板の表面に設けた高周波信号電極により外部と接続している。誘電体基板の表面に設けた半導体素子の接地電極と裏面の接地電極はスルーホールを介して接続されている。

【0005】

また、多層（2層）の誘電体基板を用いた高周波回路モジュールの例は、1997年電子情報通信学会エレクトロニクスソサイエティ大会C-2-14「セラミック基板を用いた1.9GHz帯RFフロントエンドモジュール」に示されている（以下、第二の従来技術という）。この第二の従来技術では、分布定数素子を構成する伝送線路、抵抗、容量、インダクタ等の集中定数素子による入出力整合回路、および半導体素子を誘電体基板の同一面上に形成し、高周波回路モジュールを構成している。誘電体基板の1層目表面に設けた高周波信号電極と2層目裏面の高周波信号電極は、2層目表面に設けた配線を介してスルーホールにより接続されている。誘電体基板の1層目表面に設けた半導体素子の接地電極と裏面の接地電極はスルーホールにより接続されている。ここで、誘電体基板の層の順序は表面から裏面へ向かって1層目、2層目、3層目……と数える。

【0006】

【発明が解決しようとする課題】

上記第一の従来技術における小型化、高電力効率化の関係を図9、図10および図11を用いて以下に説明する。

【0007】

図9は、単層の誘電体基板上に形成した伝送線路の一般的な断面概略図である

。伝送線路を形成する表面の導体 4 3、誘電体基板 4 4、裏面の接地導体 4 5 から構成されている。

【0 0 0 8】

図 1 0 は、誘電体基板 4 4 の比誘電率を 8.1、誘電体基板 4 4 の厚さを 0.1 mm ～ 3.0 mm まで変化させた時の 1.9 GHz における伝送損失の計算値である。曲線 1、2、3 は、伝送線路を形成する導体 4 3 の幅がそれぞれ 0.1 mm、0.2 mm、0.5 mm の場合である。図 1 0 から明らかなように、いずれの導体 4 3 の幅の場合も、誘電体基板 4 4 が厚くなるに従って伝送損失は低くなる。

【0 0 0 9】

図 1 1 は、誘電体基板 4 4 の比誘電率を 8.1、伝送線路を形成する導体 4 3 の幅を 0.02 mm ～ 3.0 mm まで変化させた時の 1.9 GHz における伝送損失の計算値である。曲線 1、2、3 は、誘電体基板 4 4 の厚さがそれぞれ 0.15 mm、0.3 mm、0.6 mm の場合である。図 1 1 から明らかなように、いずれの誘電体基板 4 4 の厚さの場合も、伝送損失は、伝送線路を形成する導体 4 3 の幅が広くなるに従っては減少し、導体 4 3 の幅が 0.3 mm ～ 0.7 mm の範囲で最小となり、導体 4 3 の幅がさらに広くなると伝送損失は増加する傾向にある。

【0 0 1 0】

以上より明らかなように、伝送損失の低減には、誘電体基板 4 4 が厚く、導体 4 3 の幅を広くする必要があり、高周波回路モジュールの小型化には限界がある。

【0 0 1 1】

次に、上記第二の従来技術における小型化、高電力効率化の関係を図 1 2、図 1 3 および図 1 4 を用いて以下に説明する。

【0 0 1 2】

図 1 2 は、2 層の誘電体基板上に形成した伝送線路の一般的な断面概略図である。伝送線路を形成する導体 4 6、誘電体基板 4 7、裏面の接地導体 4 8、表面の接地導体 4 9 から構成されている。

【0 0 1 3】

図 1 3 は、誘電体基板 4 7 の比誘電率を 8.1、誘電体基板 4 7 の厚さを 0.1 mm ～ 3.0 mm まで変化させた時の 1.9 GHz における伝送損失の計算値である。

。曲線 1、2、3 は、伝送線路を形成する導体 46 の幅がそれぞれ 0.1 mm、0.2 mm、0.5 mm 場合である。図 13 から明らかなように、いずれの導体 46 の幅の場合も、誘電体基板 47 が厚くなるに従って伝送損失は低くなる。

【0014】

図 14 は、誘電体基板 47 の比誘電率を 8.1、伝送線路を形成する導体 46 の幅を 0.02 mm～3.0 mm まで変化させた時の 1.9 GHz における伝送損失の計算値である。曲線 1、2、3 は、誘電体基板 47 の厚さがそれぞれ 0.15 mm、0.3 mm、0.6 mm の場合である。図 14 から明らかなように、いずれの誘電体基板 47 の厚さの場合も、伝送線路を形成する導体 46 の幅が広くなるに従って伝送損失は低くなる傾向にある。

【0015】

以上より明らかなように、伝送損失の低減には、誘電体基板 47 が厚く、導体 46 の幅を広くする必要があり、高周波回路モジュールの小型化には限界がある。

【0016】

本発明の目的は、より小型化が可能な高周波回路モジュールおよびそれを用いた通信装置を提供することにある。

【0017】

【課題を解決するための手段】

上記目的は、2 層以上の誘電体基板を用い、入力または出力側整合回路の伝送線路と接地導体間の誘電体基板の厚さを 2 層以上とすることにより達成できる。

【0018】

具体的には、入力または出力側整合回路の伝送線路と接地導体との間の連続した誘電体の厚さを厚くするために、これらの間に存在する誘電体基板については、それに設けられる接地導体の形状を、伝送線路に対向する部分を含むようにくり貫いた形状にする。

【0019】

誘電体基板全体の厚さを変えずに、必要な部分の厚さを厚くすることが可能なので、伝送損失を低減でき、かつ高周波回路モジュールのおよびこれを用いた通信装置の小型化が可能となる。

【0 0 2 0】

【発明の実施の形態】

以下、本発明を実施例により詳細に説明する。

【0 0 2 1】

実施例 1

図 1 は実施例 1 の高周波回路モジュールの分解図である。1 層目の誘電体基板 1 の表面には、伝送線路 2 とチップ容量 3、4、5 からなる入力側整合回路、および伝送線路 9 とチップ容量 1 0、1 1、1 2 からなる出力側整合回路を形成する。チップ容量 3 は入力端子 8 に、チップ容量 4 は接地端子 6 に、チップ容量 5 は接地端子 7 に、チップ容量 1 0 は出力端子 1 5 に、チップ容量 1 1 は接地端子 1 3 に、チップ容量 1 2 は接地端子 1 4 に接続する。さらに、1 層目の誘電体基板 1 にはこれを貫通する穴 1 7 を設ける。この穴 1 7 を介して半導体チップ 1 6 を 2 層目の誘電体基板 1 8 上に設けた接地導体 1 9 に接着する。

【0 0 2 2】

1 層目誘電体基板 1 表面の伝送線路 2 は、1 層目の誘電体基板 1 に設けたスルーホール 1 2 0 および 2 層目の誘電体基板 1 8 に設けたスルーホール 2 0 を介して 3 層目の誘電体基板 2 4 表面に設けた伝送線路 2 5 の一端に接続する。伝送線路 2 5 の他端は、2 層目の誘電体基板 1 8 に設けたスルーホール 2 1 および 1 層目の誘電体基板 1 に設けたスルーホール 1 2 1 を介して 1 層目の誘電体基板 1 表面に設けた端子 2 6 に接続する。

【0 0 2 3】

また、1 層目誘電体基板 1 表面の伝送線路 9 は、1 層目の誘電体基板 1 に設けたスルーホール 1 2 2、2 層目の誘電体基板 1 8 に設けたスルーホール 2 2 および 3 層目の誘電体基板 2 4 に設けたスルーホール 2 7 を介して 4 層目の誘電体基板 3 0 表面に設けた伝送線路 3 1 の一端に接続する。伝送線路 3 1 の他端は、3 層目の誘電体基板 2 4 に設けたスルーホール 2 8、2 層目の誘電体基板 1 8 に設けたスルーホール 2 3 および 1 層目の誘電体基板 1 に設けたスルーホール 1 2 3 を介して 1 層目の誘電体基板 1 表面に設けた端子 3 2 に接続する。

【0024】

半導体チップ16は1層目誘電体基板1表面の伝送線路2、9にボンディングで接着する。半導体チップ16を接着した2層目誘電体基板18表面の接地導体19は、2層目の誘電体基板18に設けたスルーホール151、3層目の誘電体基板24に設けたスルーホール152、4層目の誘電体基板30に設けたスルーホール153、および4層目の誘電体基板30の裏面の接地導体34に設けたスルーホール154を介して、3層目の誘電体基板24表面に設けた接地導体29、4層目の誘電体基板30表面に設けた接地導体33、および4層目の誘電体基板30の裏面に設けた接地導体34に接続する。ここで、スルーホール151、152、153、154を囲む四角い枠線は半導体チップ16の設置領域を示す。

【0025】

1層目誘電体基板1表面の出力側整合回路の伝送線路9に対向する部分を含むように、2層目誘電体基板18表面の接地導体19の一部分35を除去する。接地導体19は、2層目、3層目および4層目の誘電体基板18、24、30の周辺部に設けたスルーホール（符号なし）、ならびに4層目の誘電体基板30の裏面に設けた接地導体34の周辺部に設けたスルーホール（符号なし）を介して、3層目の誘電体基板24表面に設けた接地導体29、36、37、4層目の誘電体基板30表面に設けた接地導体33、38、39および4層目の誘電体基板30の裏面に設けた接地導体34に接続する。

【0026】

本実施例においては、接地導体は銅で形成しておき、スルーホールを銅で埋めることによりこれらの間を接続する。

【0027】

本実施例では、伝送線路9と接地導体29の間は1層目誘電体基板1と2層目誘電体基板18が連続しており、両者間の厚さは、1層目誘電体基板1に2層目誘電体基板18の厚さが加わったものとなる。したがって、伝送線路9と接地導体29の間の厚さを、1層目誘電体基板1、あるいは2層目誘電体基板18単独の厚さより厚くすることができ、伝送損失を小さくできる。

【0028】

本実施例では、高周波信号を取り扱う端子8、15と、半導体チップ16に電圧を印加する端子26、32を1層目の誘電体基板1表面に設けているが、例えば高周波信号を取り扱う端子を1層目の誘電体基板1表面に、半導体チップ16に電圧を印加する端子を4層目の誘電体基板30の裏面に設けてもよい。また、高周波信号を取り扱う端子と、半導体チップ16に電圧を印加する端子を4層目の誘電体基板30の裏面に設けてもよい。また、端子の数も特に限定するものではない。

【0029】

図2は、図1を組み立てた場合のA-B部の断面図である。2層目の誘電体基板18表面の接地導体19の一部を除去した部分35を設けることにより、この部分の誘電体基板の厚さを、1層目の誘電体基板1、2層目の誘電体基板18、3層目の誘電体基板24、4層目の誘電体基板30より厚くすることができる。

【0030】

図3は、図1の高周波回路モジュールの1段増幅器の等価回路である。伝送線路2とチップ容量3、4、5、ボンディング・ワイヤを含む半導体チップ16に電源電圧を印加する線路25、電源電圧端子26、入力出端子8からなる入力側整合回路、伝送線路9とチップ容量10、11、12、ボンディング・ワイヤを含む半導体チップ16に電源電圧を印加する線路31、電源電圧端子32、出力端子15からなる出力側整合回路からなる。伝送線路2は、伝送線路2a、伝送線路2b、伝送線路2cからなり、伝送線路9は、伝送線路9a、伝送線路9b、伝送線路9cからなる。

【0031】

図4は、図3における出力側整合回路の等価回路を、図10に示したごとく単層の誘電体基板44で構成し、ボンディング・ワイヤを含む半導体チップ16の出力インピーダンスを1~100Ω、負荷インピーダンスを50Ω、誘電体基板44の比誘電率を8.1、誘電体基板44上に形成した伝送線路9の幅を0.3mm、誘電体基板44の誘電正接 $\tan \delta$ を0.017とし1.9GHzで整合するように伝送線路9a、伝送線路9b、伝送線路9cの長さとしチップ容量10、11、1

2の値を最適化した場合の整合回路損失を示す。図4において、曲線1、2、3は、それぞれ誘電体基板44の厚さが0.15mm、0.3mm、0.6mmの場合の計算値である。図4から明らかなように、伝送線路9を形成する誘電体基板44が厚くなるに従って整合回路損失は低くなる傾向にある。例えば、ボンディング・ワイヤを含む半導体チップ16の出力インピーダンスが10Ωの時、誘電体基板44の厚さが0.15mmでの整合回路損失は0.16dBであるが、誘電体基板44の厚さが0.3mmになると0.13dB、0.6mmになると0.1dBに低減される。

【0032】

実施例2

図5(a)は実施例2の高周波回路モジュールの分解図、図5(b)は図5(a)を組み立てた場合のA-B部の断面図である。1層目の誘電体基板1上に、伝送線路2とチップ容量3、4、5からなる入力側整合回路を形成し、チップ容量3は入力端子8に接続、チップ容量4は接地端子6に接続、チップ容量5は接地端子7に接続する。入力端子8は2層目の誘電体基板18に設けたスルーホール8a、3層目の誘電体基板24に設けたスルーホール8bにより3層目の誘電体基板24の裏面に形成した接地導体を除去して設けた端子8cに接続される。さらに、伝送線路9とチップ容量10、11、12からなる出力側整合回路を形成し、チップ容量10は出力端子15に接続、チップ容量11は接地端子13に接続、チップ容量12は接地端子14に接続する。出力端子9は2層目の誘電体基板18に設けたスルーホール15a、3層目の誘電体基板24に設けたスルーホール15bにより3層目の誘電体基板24の裏面に形成した接地導体を除去して設けた端子15cに接続される。

【0033】

1層目の誘電体基板1には、半導体チップ16を2層目の誘電体基板18表面に設けた接地導体19に接着するために、誘電体を除去してこれを貫通する穴17を設ける。1層目の誘電体基板1表面に設けた伝送線路2は端子26に接続する。また、1層目の誘電体基板1表面に設けた伝送線路9は端子32に接続する。

【0034】

半導体チップ16は1層目の誘電体基板1表面に設けた伝送線路2、9にボンディングで接着する。半導体チップ16を接着した2層目の誘電体基板18表面に形成した接地導体19は、半導体チップ16の接着部のスルーホールにより3層目の誘電体基板24表面に設けた接地導体29、3層目の誘電体基板24の裏面に形成した接地導体34に接続する。

【0035】

1層目の誘電体基板1表面に形成した出力側整合回路の伝送線路9に対向する部分を含むように、2層目の誘電体基板18表面に形成した接地導体19の一部分35を部を除去する。接地導体19は、誘電体基板周辺部のスルーホールにより3層目の誘電体基板24の表面と裏面に形成した接地導体29、34に接続する。

【0036】

実施例3

図6(a)は実施例2の高周波回路モジュールの分解図、図6(b)は図6(a)を組み立てた場合のA-B部の断面図である。1層目の誘電体基板1表面に、伝送線路2とチップ容量3、4、5からなる入力側整合回路を形成し、チップ容量3は入力端子8に、チップ容量4は接地端子6に、チップ容量5は接地端子7に接続する。入力端子8は2層目の誘電体基板18に設けたスルーホール8a、3層目の誘電体基板24に設けたスルーホール8bにより3層目の誘電体基板24の裏面に形成した接地導体を除去して設けた端子8cに接続する。さらに、伝送線路9とチップ容量10、11、12からなる出力側整合回路を形成し、チップ容量10は出力端子15に、チップ容量11は接地端子13に、チップ容量12は接地端子14に接続する。出力端子9は2層目の誘電体基板18に設けたスルーホール15a、3層目の誘電体基板24に設けたスルーホール15bにより3層目の誘電体基板24の裏面に形成した接地導体34を除去して設けた端子15cに接続する。

【0037】

1層目の誘電体基板1には、半導体チップ16を2層目の誘電体基板18表面に

接地導体 19 に接着するために、誘電体を除去してこれを貫通する穴 17 を設ける。1 層目の誘電体基板 1 上に設けた伝送線路 2 は端子 26 に接続する。また、1 層目の誘電体基板 1 表面に設けた伝送線路 9 は端子 32 に接続する。

【0038】

半導体チップ 16 は 1 層目の誘電体基板 1 表面に設けた伝送線路 2、9 にボンディングで接着する。半導体チップ 16 を接着した 2 層目の誘電体基板 18 表面に設けた接地導体 19 は、半導体チップ 16 の接着部のスルーホールにより 3 層目の誘電体基板 24 表面および裏面に設けた接地導体 29、34 に接続する。

【0039】

2 層目の誘電体基板 1 表面の出力側整合回路の伝送線路 9 に対向する部分を含むように、2 層目の誘電体基板 18 表面の接地導体 19 の一部分 35 を除去する。さらに、3 層目の誘電体基板 24 表面の接地導体 29 の一部分 40 を、伝送線路 9 に対向する部分を含むように除去する。接地導体 19、29 は、誘電体基板周辺部のスルーホールにより互いに接続し、また 3 層目の誘電体基板 24 の裏面に形成した接地導体 34 に接続する。

【0040】

実施例 4

図 7 (a) は実施例 4 の高周波回路モジュールの分解図、図 7 (b) は図 7 (a) を組み立てた場合の A-B 部の断面図である。1 層目の誘電体基板 1 表面に、伝送線路 2 とチップ容量 3、4、5 からなる入力側整合回路を形成し、チップ容量 3 は入力端子 8 に、チップ容量 4 は接地端子 6 に、チップ容量 5 は接地端子 7 に接続する。入力端子 8 は 2 層目の誘電体基板 18 に設けたスルーホール 8a、3 層目の誘電体基板 24 に設けたスルーホール 8b により 3 層目の誘電体基板 24 の裏面に形成した接地導体を除去して設けた端子 8c に接続する。さらに、伝送線路 9 とチップ容量 10、11、12 からなる出力側整合回路を形成し、チップ容量 10 は出力端子 15 に、チップ容量 11 は接地端子 13 に、チップ容量 12 は接地端子 14 に接続する。出力端子 9 は 2 層目の誘電体基板 18 に設けたスルーホール 15a、3 層目の誘電体基板 24 に設けたスルーホール 15b により 3 層目の誘電体基板 24 の裏面に形成した接地導体を除去して設けた端子 15

cに接続する。

1層目の誘電体基板1には、半導体チップ16を2層目の誘電体基板18表面に設けた接地導体19に接着するために、誘電体を除去してこれを貫通する穴17を設ける。1層目の誘電体基板1表面に設けた伝送線路2は端子26に接続する。また、1層目の誘電体基板1表面に設けた伝送線路9は端子32に接続する。

【0041】

半導体チップ16は1層目の誘電体基板1表面に設けた伝送線路2、9にボンディングで接着する。半導体チップ16を接着した2層目の誘電体基板18表面に形成した接地導体19は、半導体チップ16の接着部のスルーホールにより3層目の誘電体基板24の表面および裏面に設けた接地導体29、34に接続する。

【0042】

1層目の誘電体基板1表面の入力側整合回路の伝送線路2に対向する部分を含むように、2層目の誘電体基板18表面の接地導体19の一部分41を除去する。さらに、出力側整合回路の伝送線路9に対向する部分を含むように、2層目の誘電体基板18表面の接地導体19の一部分35を除去する。除去部分は、1層目の誘電体基板1、2層目の誘電体基板18、3層目の誘電体基板24より誘電体基板を厚くすることができる。接地導体19は、誘電体基板周辺部のスルーホールにより3層目の誘電体基板24の表面および裏面に形成した接地導体29、34に接続する。

【0043】

実施例5

図8(a)は実施例5の高周波回路モジュールの分解図、図8(b)は図8(a)を組み立てた場合のA-B部の断面図である。1層目の誘電体基板1表面に、伝送線路2とチップ容量3、4、5からなる入力側整合回路を形成し、チップ容量3は入力端子8に、チップ容量4は接地端子6に、チップ容量5は接地端子7に接続する。入力端子8は2層目の誘電体基板18に設けたスルーホール8aにより2層目の誘電体基板18の裏面に形成した接地導体を除去して設けた端子8cに接続する。さらに、伝送線路9とチップ容量10、11、12からなる出力側整合回路を形成し、チップ容量10は出力端子15に、チップ容量11は接

地端子 13 に、チップ容量 12 は接地端子 14 に接続する。出力端子 9 は 2 層目の誘電体基板 18 に設けたスルーホール 15a により 2 層目の誘電体基板 18 の裏面に形成した接地導体を除去して設けた端子 15c に接続する。

【0044】

1 層目の誘電体基板 1 には、半導体チップ 16 を 2 層目の誘電体基板 18 表面に設けた接地導体 19 に接着するために、誘電体を除去してこれを貫通する穴 17 を設ける。1 層目の誘電体基板 1 表面に設けた伝送線路 2 は端子 26 に接続する。また、1 層目の誘電体基板 1 表面に設けた伝送線路 9 は端子 32 に接続する。

【0045】

半導体チップ 16 は 1 層目の誘電体基板 1 表面に設けた伝送線路 2、9 にボンディングで接着する。半導体チップ 16 を接着した 2 層目の誘電体基板 18 表面に形成した接地導体 19 は、半導体チップ 16 の接着部のスルーホールにより 2 層目の誘電体基板 18 の裏面に設けた接地導体 29 に接続する。

【0046】

1 層目の誘電体基板 1 表面の出力側整合回路の伝送線路 9 に対向する部分を含むように、2 層目の誘電体基板 18 表面の接地導体 19 の一部分 35 除去する。除去部分は、1 層目の誘電体基板 1、2 層目の誘電体基板 18 より誘電体基板を厚くすることができる。接地導体 19 は、誘電体基板周辺部のスルーホールにより第 2 層目の誘電体基板 18 の裏面に形成した接地導体 29 に接続する。

【0047】

実施例 6

図 15 は、本発明の通信装置の一実施例である移動無線端末のブロック・ダイアグラムである。図 16 は、図 15 に示した移動無線端末高周波数部の部品配置図である。送信側の信号は、符号 108 の変調器、107 のバーストスイッチ、106 の駆動増幅器、105 のフィルタ、104 の電力増幅器、103 のデュプレクサを経由して 102 のアンテナ-2 から出力される。受信側の信号は、符号 101 のアンテナ-1、109 の低雑音増幅器、105 のフィルタ、110 の周波数変換器、111 の中間周波増幅器を経由した場合と、信号 102 のアンテナ-2、109 の低雑音増幅器、105 のフィルタ、110 の周波数変換器、11

1 の中間周波増幅器を経由した場合を比較して、1 1 3 の復調ユニットで処理され 1 1 4 のベースバンド・ユニットに到達するダイバーシィ方式である。1 1 2 の周波数シンセサイザである。

【0 0 4 8】

電力増幅器 1 0 4、低雑音増幅器 1 0 9 に上記実施例 1 から 5 に記載した高周波回路モジュールを用いる。電力増幅器 1 0 4 としては、出力側整合回路の伝送線路と接地導体間の誘電体基板の厚さも 2 層以上とした高周波回路モジュールの他、入力側整合回路の伝送線路と接地導体間の誘電体基板の厚さも 2 層以上とした高周波回路モジュールを用いる。

【0 0 4 9】

低雑音増幅器 1 0 9 としては、入力側整合回路の伝送線路と接地導体間の誘電体基板の厚さも 2 層以上とした高周波回路モジュールの他、出力側整合回路の伝送線路と接地導体間の誘電体基板の厚さも 2 層以上とした高周波回路モジュールを用いる。

【0 0 5 0】

これらの高周波回路モジュールを用いることにより移動無線端末を小型化できる。

【0 0 5 1】

【発明の効果】

本発明によれば、誘電体基板全体の厚さを変えずに、必要な部分の厚さを厚くすることが可能なので、伝送損失を低減でき、かつ高周波回路モジュールのおよびこれを用いた通信装置の小型化が可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施例 1 の高周波回路モジュールの分解図である。

【図 2】

本発明の実施例 1 の高周波回路モジュールの断面図である。

【図 3】

本発明の実施例 1 の高周波回路モジュールの増幅器全体としての等価回路を示

す図である。

【図 4】

従来の高周波回路モジュールの出力側整合回路の損失を計算した図である。

【図 5】

本発明の実施例 2 の高周波回路モジュールの分解図および断面図である。

【図 6】

本発明の実施例 3 の高周波回路モジュールの分解図および断面図である。

【図 7】

本発明の実施例 4 の高周波回路モジュールの分解図および断面図である。

【図 8】

本発明の実施例 5 の高周波回路モジュールの分解図および断面図である。

【図 9】

単層の誘電体基板上に形成した伝送線路の断面図である。

【図 1 0】

単層の誘電体基板上に形成した伝送線路の高周波損失を、誘電体基板の厚さを変えて計算した図である。

【図 1 1】

単層の誘電体基板上に形成した伝送線路の高周波損失を、導体の幅を変えて計算した図である。

【図 1 2】

2 層の誘電体基板に形成した伝送線路の断面図である。

【図 1 3】

2 層の誘電体基板に形成した伝送線路の高周波損失を、誘電体基板の厚さを変えて計算した図である。

【図 1 4】

2 層の誘電体基板に形成した伝送線路の高周波損失を、導体の幅を変えて計算した図である。

【図 1 5】

移動無線端末高周波数部のブロックダイアグラムである。

【図 1 6】

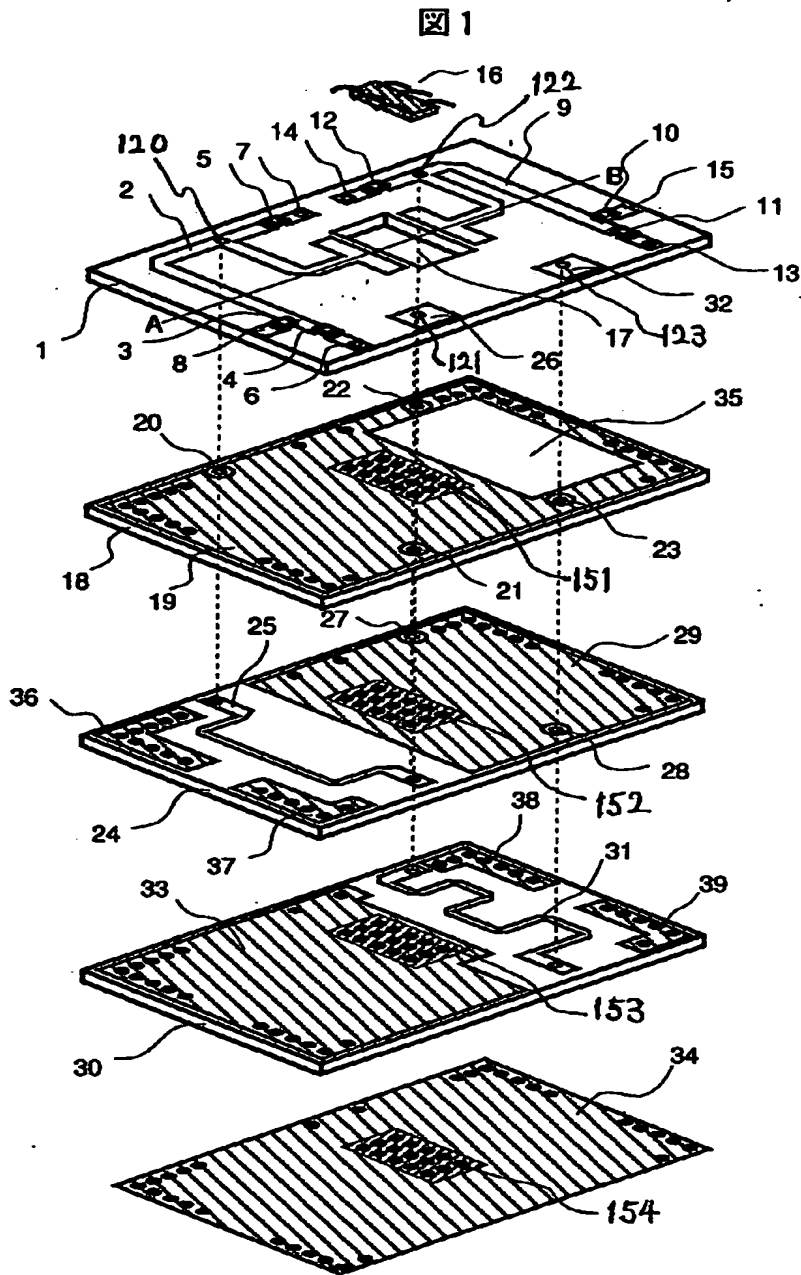
移動無線端末高周波数部の部品配置図である。

【符号の説明】

1…誘電体基板、2…伝送線路、3、4、5…チップ容量、6、7…接地導体、8…入力端子、9…伝送線路、10、11、12…チップ容量、13、14…接地導体、15…出力端子、16…半導体チップ、17…誘電体を除去した穴、18…誘電体基板、19…接地導体、20、21、22、23…スルーホール、24…誘電体基板、25…伝送線路、26…端子、27、28…スルーホール、29…接地導体、30…誘電体基板、31…伝送線路、32…端子、33…接地導体、34…裏面の接地導体、35…接地導体の除去部分、36、37、38、39…接地導体、120、121、122、123、151、152、153、154…スルーホール。

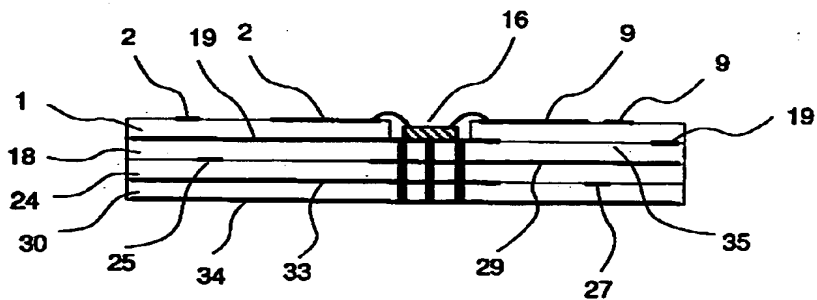
【書類名】 図面

【図 1】



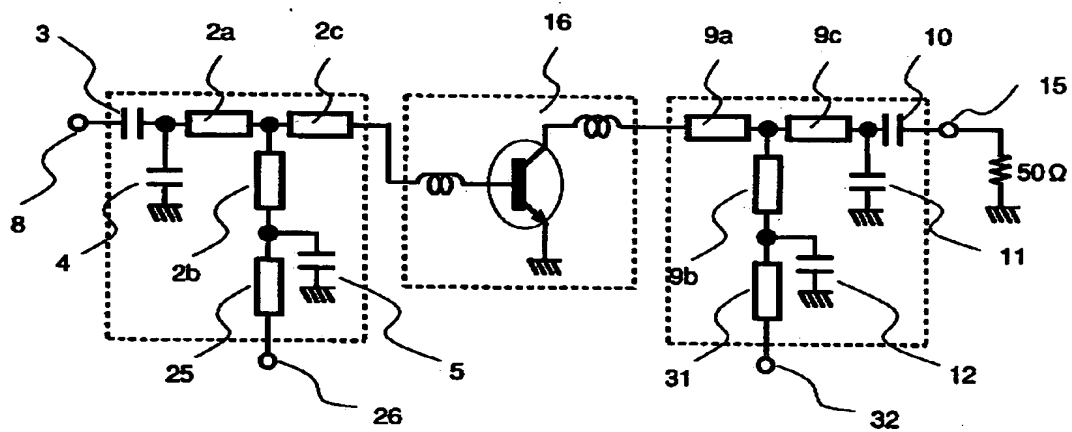
【図 2】

図 2



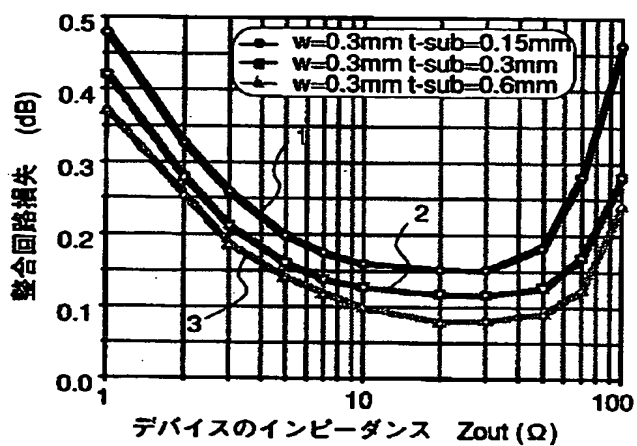
【図 3】

図 3



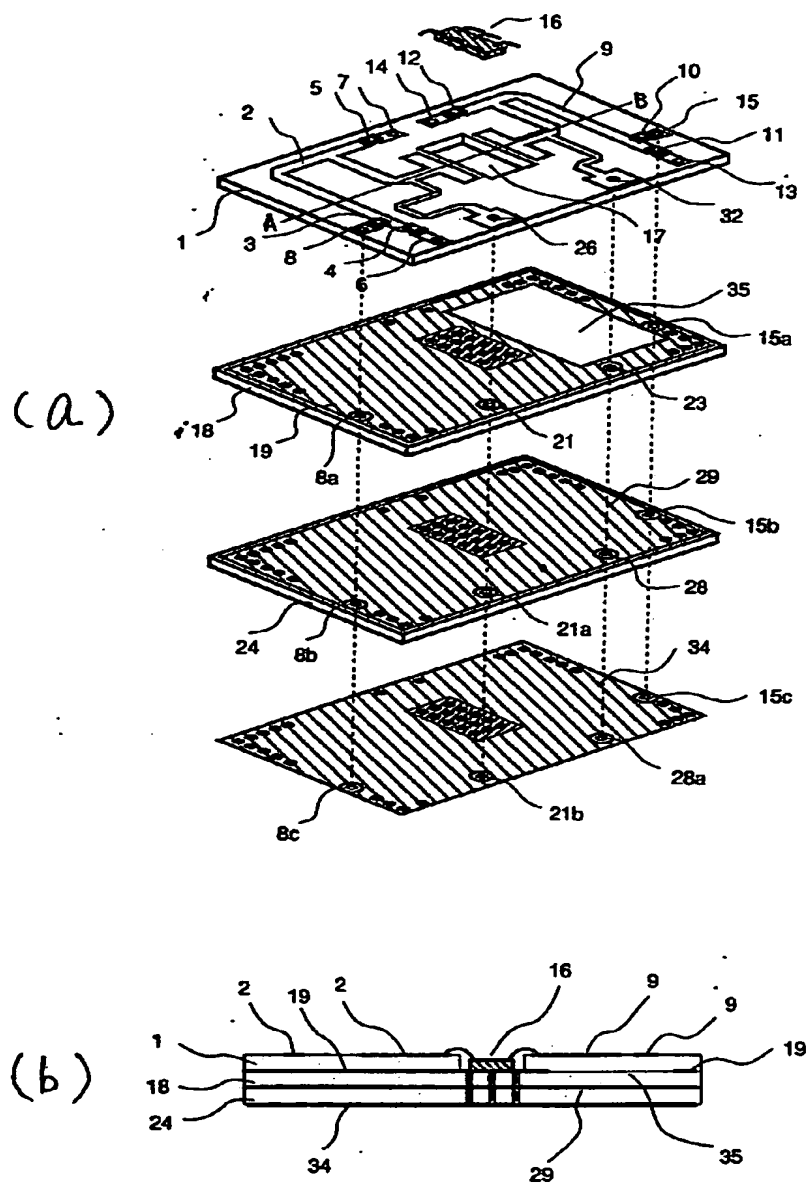
【図 4】

図 4



【図 5】

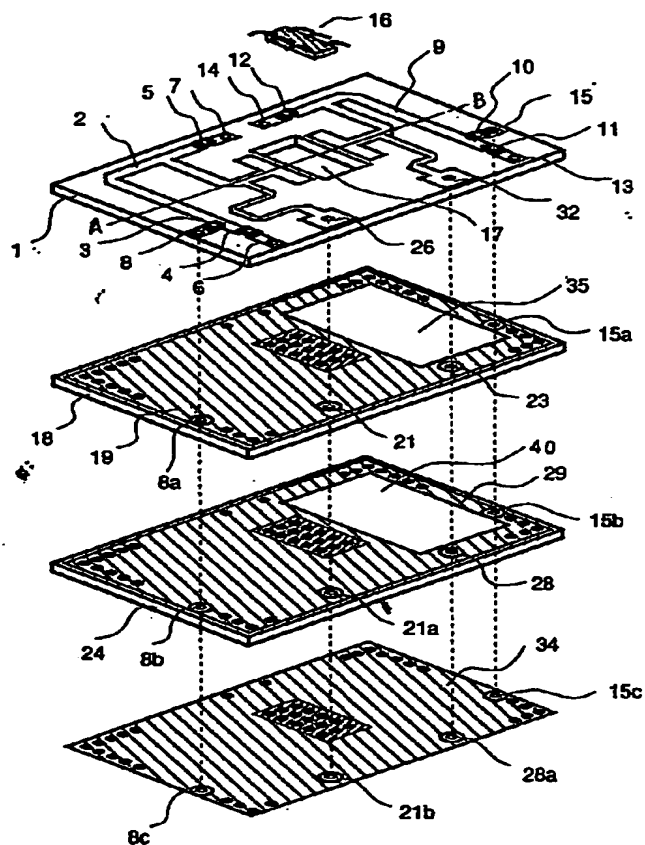
図 5



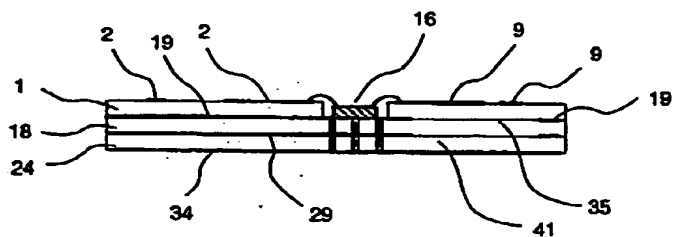
【図6】

図6

(a)



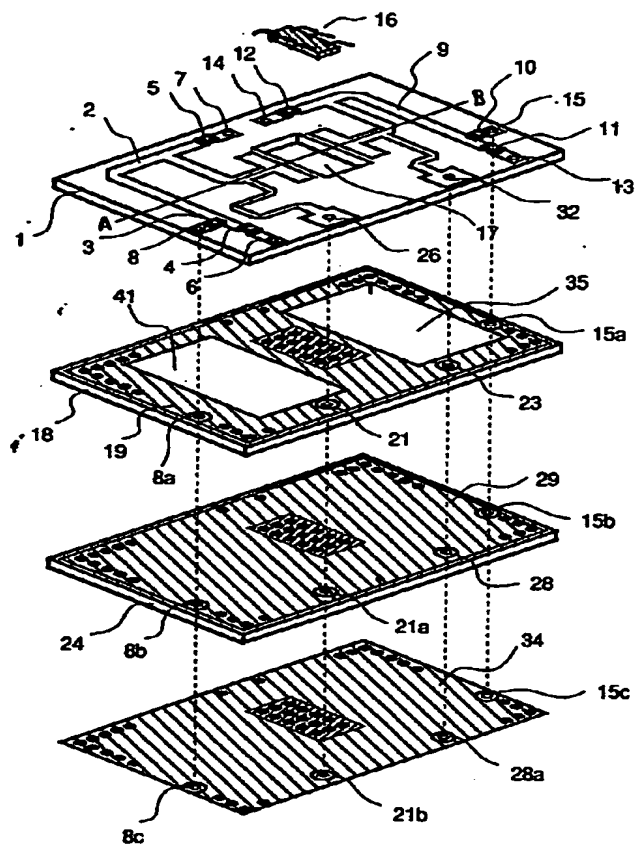
(b)



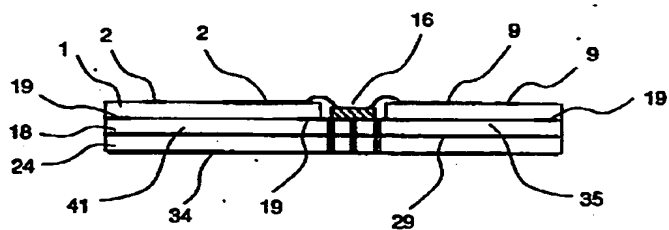
【図 7】

図 7

(a)

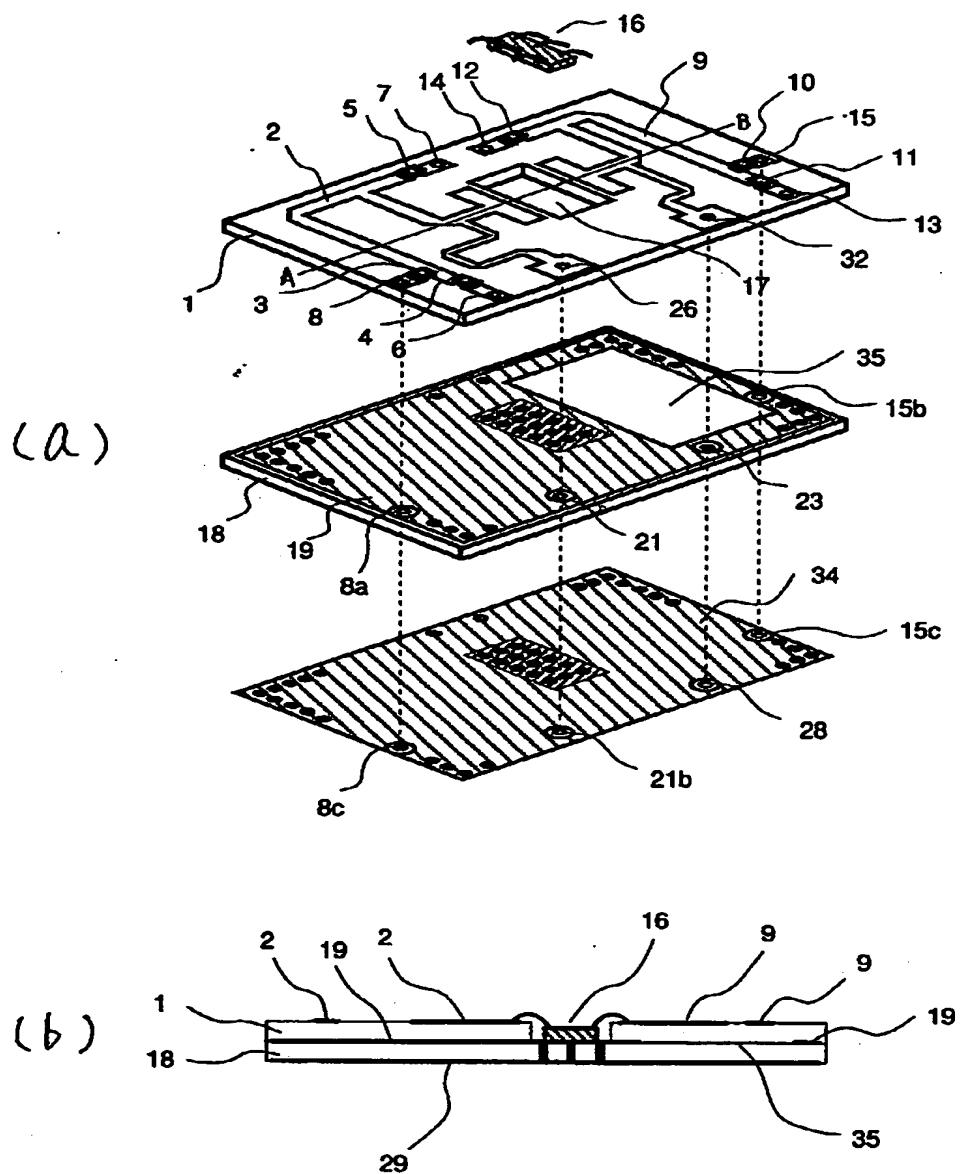


(b)

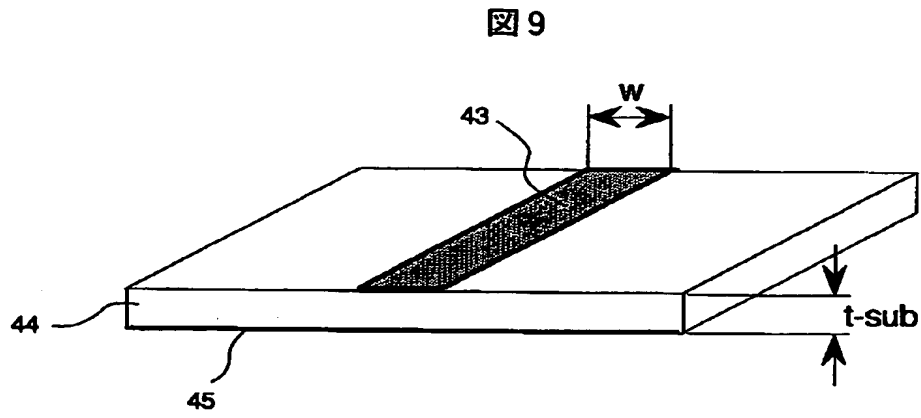


【図8】

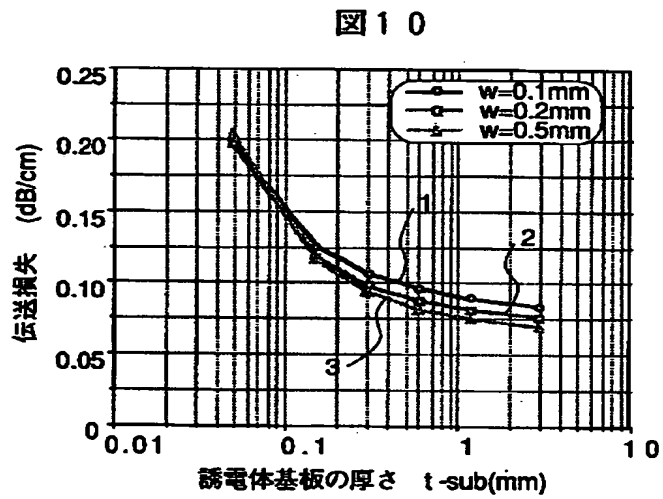
図8



【図 9】

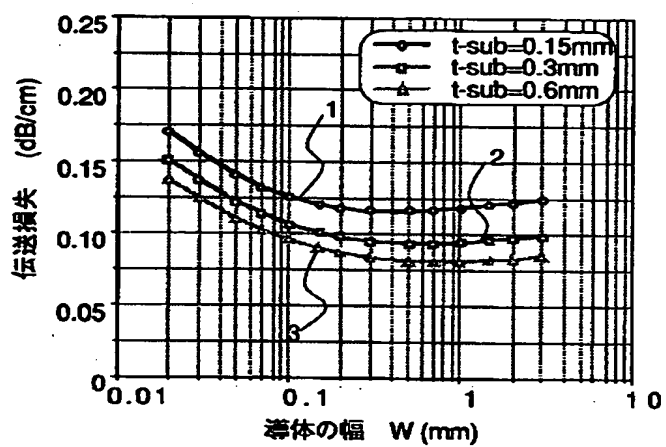


【図 1 0】



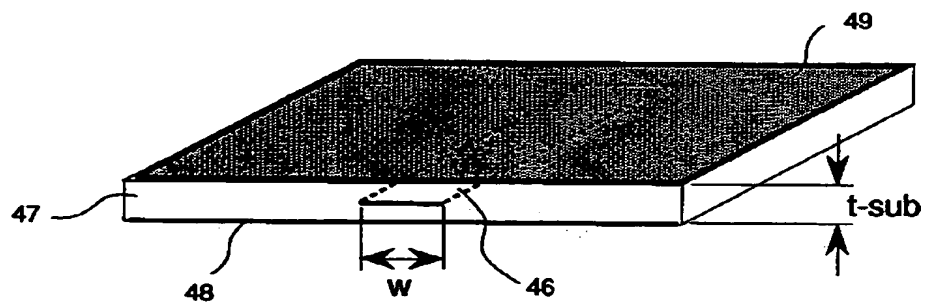
【図 1 1】

図 1 1



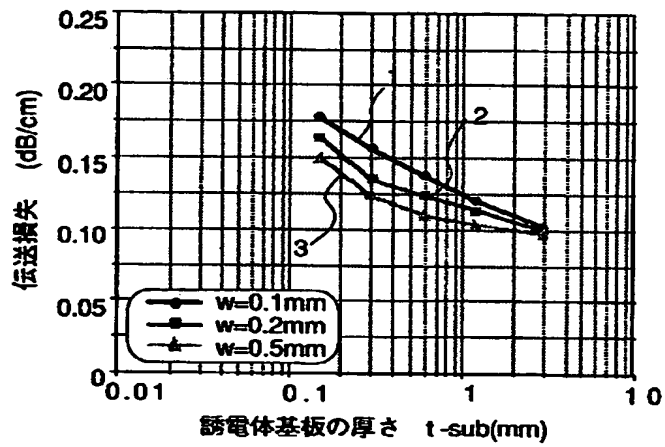
【図 1 2】

図 1 2



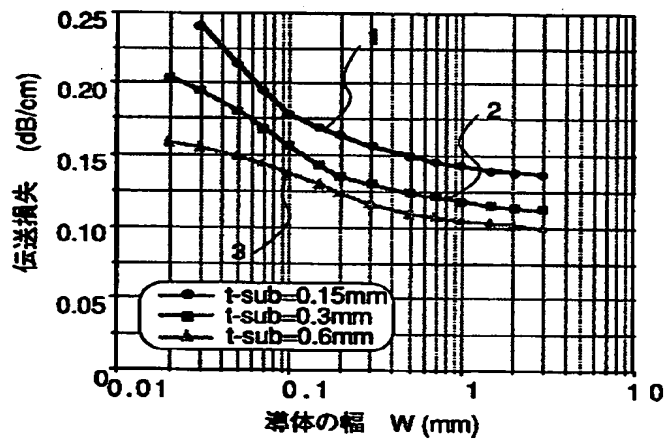
【図 1 3】

図 1 3



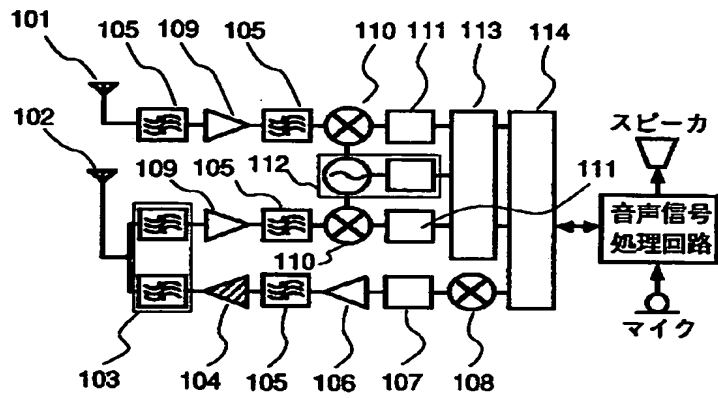
【図 1 4】

図 1 4



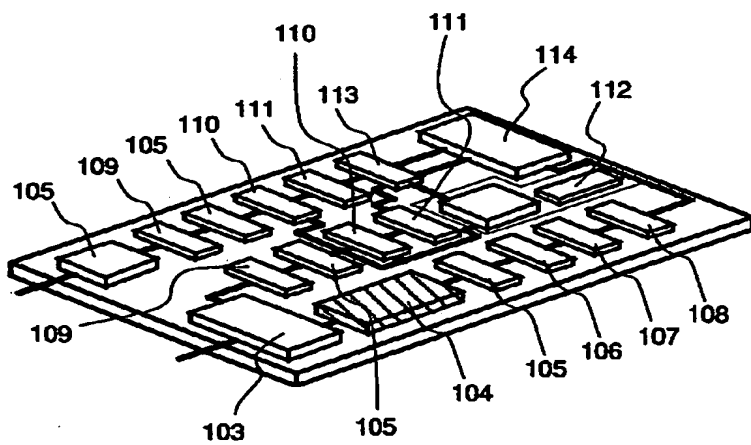
【図 1 5】

図 1 5



【図 1 6】

図 1 6



【書類名】 要約書

【要約】

【課題】 より小型化が可能な高周波回路モジュールおよびそれを用いた通信装置を提供する。

【解決手段】 2層以上の誘電体基板を用い、入力側整合回路や出力側整合回路の伝送線路と接地導体間の誘電体基板の厚さを2層以上とする

【効果】 誘電体基板全体の厚さを変えずに、必要な部分の厚さを厚くすることが可能なので、伝送損失を低減でき、かつ高周波回路モジュールのおよびこれを用いた通信装置の小型化が可能となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所